

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06267935 A**

(43) Date of publication of application: **22.09.94**

(51) Int. Cl

H01L 21/312

(21) Application number: **05052136**

(22) Date of filing: **12.03.93**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **DAIHISA AKIRA
FUJII HIROYUKI**

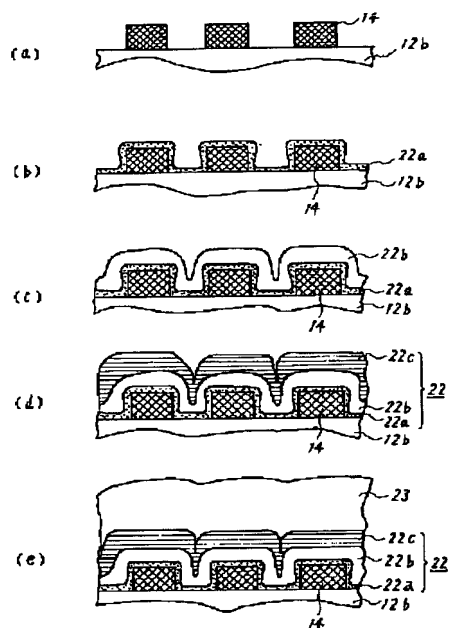
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To avoid the development of a defective underlaying layer by a method wherein the stress during and after the formation of the first and second protective insulating films formed on a wiring layer of a semiconductor device is to be reduced.

CONSTITUTION: After the formation of wiring layers 14 on a semiconductor substrate 12b, the first insulating film 22a having compressive stress is thinly formed by plasma CVD step and the second insulating film 22b having tensile stress is formed thereon by thermal CVD step and then the third insulating film 22c having compressive stress is formed thereon by plasma CVD step again and finally the second protective insulating film 23 comprising a resin base coated insulating film also having tensile stress is formed setting up the film thickness so that the warp to the substrate due to said stress of the first- third insulating films 22a-22c may be dissolved.

COPYRIGHT: (C)1994,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 6 7 9 3 5

(43) 公開日 平成 6 年 (1994) 9 月 22 日

(51) Int. Cl. ⁵

H01L 21/312

識別記号

庁内整理番号

F I

N 7352-4M

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平 5 - 5 2 1 3 6

(22) 出願日 平成 5 年 (1993) 3 月 12 日

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 大久 晃

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会
社北伊丹製作所内

(72) 発明者 藤井 浩之

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会
社北伊丹製作所内

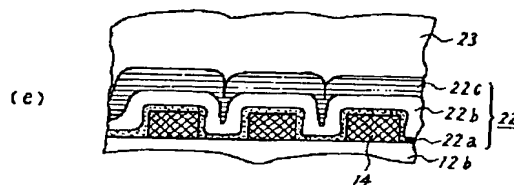
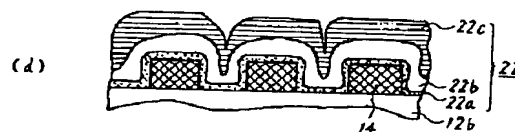
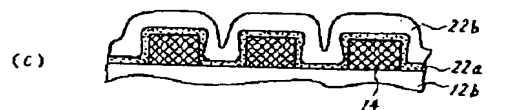
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置における配線層 14 上に形成する第 1 および第 2 の保護絶縁膜 22、23 の成膜時および膜形成後の応力を低減して、下地配線層 14 の不良の発生を防止する。

【構成】 半導体基板 6 上に配線層 14 形成後、圧縮応力を持つ第 1 の絶縁膜 22a をプラズマ CVD 法により薄く形成し、その上に引っ張り応力を持つ第 2 の絶縁膜 22b を熱 CVD 法により形成し、その上に圧縮応力を持つ第 3 の絶縁膜 22c をプラズマ CVD 法により形成し、さらにその上に引っ張り応力を持つ樹脂系の塗布絶縁膜による第 2 の保護絶縁膜 23 を、第 1 ~ 第 3 の絶縁膜 22a ~ 22c の応力による基板に対するそり量を解消するように膜厚を設定して形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上に配線層を形成する工程と、次いで上記配線層上の全面に、外部からの水分や不純物の浸入を防ぐために、化学気相成長法（以下、CVD法と称す）によって圧縮応力を有する第 1 の保護絶縁膜を形成する工程と、次いで上記第 1 の保護絶縁膜上の全面に、外部からの応力の影響や α 線の浸入を防ぐために、塗布形成法によって引っ張り応力を有する樹脂系の第 2 の保護絶縁膜を、上記第 1 の保護絶縁膜の応力により生じる上記半導体基板のそり量を解消するように、その膜厚を設定して形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 配線層上の全面に第 1 の保護絶縁膜を形成する工程が、上記配線層上にプラズマ CVD 法によって圧縮応力を有する第 1 の絶縁膜を形成し、次いでその上の全面に、熱 CVD 法によって引っ張り応力を有する第 2 の絶縁膜を形成し、さらにその上の全面に、プラズマ CVD 法によって圧縮応力を有する第 3 の絶縁膜を形成することによって構成され、しかも上記第 1 の絶縁膜の膜厚を、上記第 2 および第 3 の絶縁膜の膜厚に比べて薄くしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置における保護絶縁膜の形成方法に関するものである。

【0002】

【従来の技術】 従来より半導体装置の製造において、半導体基板上に素子構成を形成した後、外部から浸入する水分や外部から加えられる応力などの外部環境によって上記素子構成が変化しないように、保護絶縁膜を形成して素子構成表面部を被覆し、さらに半導体基板を樹脂封止するか、あるいはセラミックパッケージに収容して使用するのが一般的である。図 3 は、例えば、樹脂封止型による半導体装置の構造を示した断面図である。図において、1 は半導体基板上に素子構成が形成された半導体チップ（以下、チップと称す）、2 はチップ 1 表面に形成され、素子構成を被覆する保護絶縁膜、3 はリードフレームで、チップ 1 を載置固定させるダイパッド部 3 a、および外部回路（図示せず）と接続させるための各リード部 3 b とから構成される。4 はチップ 1 の各電極と各リード部 3 b とをそれぞれに接続するボンディングワイヤ、5 は各リード 3 b の所要部を含むチップ 1 を封止して外部から保護する樹脂封止材である。

【0003】 次に、従来の半導体装置の構造を、例えば、MOS 型 IC について図 4 に示す。これは、図 3 における破線で囲んだ A 部の詳細図である。図において、6 はシリコン単結晶などからなる半導体基板（以下、基板と称す）、7 は基板 6 に形成され、各素子間を電氣的に分離するフィールド絶縁膜、8 a、8 b および 8 c は

基板 6 上に拡散形成されたソース領域、ドレイン領域、およびキャパシタを形成するための反転層、9 はこれらの上に選択的に形成されてキャパシタ電極となる第 1 ゲート、10 はこの第 1 ゲート 9 および基板 6 上に形成されて一部がゲート酸化膜となる薄いシリコン酸化膜、11 はシリコン酸化膜 10 上に選択的に形成されワードラインとなる第 2 ゲート、12 a および 12 b はそれぞれ層間絶縁膜である。13 は層間絶縁膜 12 a に設けられたコンタクト孔を介してドレイン領域 8 b に接続されてビットラインとなる多結晶シリコン層、14 は層間絶縁膜 12 b 上に選択的に形成されたアルミニウムによる配線層、15 は配線層 14 および層間絶縁膜 12 b の全面を被覆するようにプラズマ CVD 法によって形成された絶縁膜（以下、P-CVD 絶縁膜と称す）、16 は P-CVD 絶縁膜 15 上の全面に塗布形成法によって形成された樹脂系絶縁膜であり、P-CVD 絶縁膜 15 と樹脂系絶縁膜 16 との二層によって前述した保護絶縁膜 2 が構成される。

【0004】 次に、上記従来の MOS 型 IC の製造方法を図 5 に基づいて以下に示す。まず、例えば、P 型の基板 6 上の全面に熱酸化法により薄いシリコン酸化膜 17 を形成し、その上の全面にシリコン窒化膜（図示せず）を形成した後、ホトリソグラフィ技術およびエッチング技術によってこのシリコン窒化膜をパターニングする。その後熱酸化を行って、シリコン窒化膜のない部分にフィールド絶縁膜 7 を形成した後シリコン窒化膜を除去する。次に、イオン注入法により、キャパシタ形成領域に n 型の反転層 8 c を形成する。続いて基板 6 上に CVD 法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜および下地の薄いシリコン酸化膜 17 を選択的に除去して第 1 ゲート 9 を形成する（図 5 (a)）。次に、基板 6 上の全面に熱酸化法により、一部がゲート酸化膜となる薄いシリコン酸化膜 10 を形成した後、その上の全面に例えば、CVD 法により多結晶シリコン膜を堆積する。続いてホトリソグラフィ技術およびエッチング技術によってこの多結晶シリコン膜をパターニングして、第 1 ゲート 9 形成領域上に 2ヶ所、それ以外の領域上に 1ヶ所の第 2 ゲート 11 のパターンを形成する。その後、N 型の不純物、例えば、リン (P)、砒素 (As) 等をイオン注入法により基板 6 に注入して、ソース領域 8 a、ドレイン領域 8 b を形成する（図 5 (b)）。

【0005】 次に、基板 6 上の全面に、例えば CVD 法により層間絶縁膜 12 a を形成し、続いてホトリソグラフィ技術およびエッチング技術によってこの層間絶縁膜 12 a および下地の薄いシリコン酸化膜 10 にコンタクト孔を設けてドレイン領域 8 b の表面を一部露出させる。その後このコンタクト孔を埋めるように、層間絶縁膜 12 a 上の全面に、例えば CVD 法により多結晶シリコン膜を堆積し、ホトリソグラフィ技術およびエッチン

3

グ技術によってパターニングして、ドレイン領域 8 b に接続させたビットライン 1 3 を形成する。さらに、基板 6 上の全面に、例えば CVD 法により層間絶縁膜 1 2 b を堆積する (図 5 (c))。次に、層間絶縁膜 1 2 b 上の全面に、例えばスパッタ法によりアルミニウム膜を堆積し、ホトリソグラフィ技術およびエッチング技術によりパターニングして配線層 1 4 を形成する (図 5

(d))。

【0006】次に、基板 6 上の全面に、プラズマ CVD 法によって、300~450℃程度の処理温度で、シラン (SiH₄) およびアンモニア (NH₃) の混合ガス、あるいはシラン、アンモニアおよび窒素 (N₂) の混合ガスを反応ガスとして、シリコン窒化膜を 0.7~1.0 μm の膜厚に堆積して P-CVD 絶縁膜 1 5 を形成する。この P-CVD 絶縁膜 1 5 はシリコン酸化膜を用いても良く、その場合は反応ガスとして、シランおよび酸素 (O₂) の混合ガス、あるいはシランおよび亜酸化窒素 (N₂O) の混合ガスを使用する。さらに、P-CVD 絶縁膜 1 5 上の全面にポリイミド系樹脂あるいはシリコンラダー系樹脂を用いて塗布を行い、150~450℃程度の温度で焼成して、樹脂系絶縁膜 1 6 を 5~7 μm の膜厚に形成する (図 5 (e))。

【0007】その後所定の処理を施した後、基板 6 をチップ 1 毎に分割してリードフレーム 3 のダイパッド部 3 a に載置固定させ、チップ 1 の各電極と各リード部 3 b とをそれぞれボンディングワイヤ 4 により接続し、これらを樹脂封止材 5 により封止して半導体装置を完成する (図 3 参照)。

【0008】次に、P-CVD 絶縁膜 1 5 と樹脂系絶縁膜 1 6 とから構成される保護絶縁膜 2 について説明する。プラズマ CVD 法によって形成されるシリコン窒化膜あるいはシリコン酸化膜で構成される P-CVD 絶縁膜 1 5 は、耐湿性および機械的強度に優れた膜であり、一方塗布形成法による樹脂系絶縁膜 1 6 は、α線によるデバイスのソフトエラーを防止し、かつ樹脂封止材 5 からの応力を緩和するための膜である。しかしながら 2 つの膜はそれぞれ下記のように応力を持つものである。基本的に、P-CVD 絶縁膜 1 5 のようにプラズマ CVD 法で形成される膜は、プラズマ放電によりイオン化したガス分子が膜中へイオン衝撃を与えるために圧縮応力を有する。これは、容器内真空度、Rf パワー、電極間距離、成膜温度、およびガス種類の形成条件により顕著に現れる。一方、樹脂系絶縁膜 1 6 のように塗布形成法により形成される絶縁膜は、形成過程の絶縁膜と基板との熱膨張係数の差により引っ張り応力を有する。

【0009】

【発明が解決しようとする課題】従来の保護絶縁膜 2 は上記のように形成されているが、耐湿性および機械的強度が充分な所定の膜厚で形成された P-CVD 絶縁膜 1 5 は高い圧縮性応力を持つものとなる。この圧縮応力

4

は、P-CVD 絶縁膜 1 5 上に形成された樹脂系絶縁膜 1 6 の持つ引っ張り応力よりかなり大きなものであるため、P-CVD 絶縁膜 1 5 の成膜時および成膜完了時だけでなく全保護絶縁膜 2 形成完了後も下地に影響を与える。特に配線層 1 4 においてストレスマイグレーションと呼ばれる断線や欠損の発生等の不良を引き起こす要因となる。

【0010】図 6 は上記 P-CVD 絶縁膜 1 5 の圧縮応力および下地の配線層 1 4 に生じる応力を説明する断面図であり、図 7 は配線層 1 4 の不良を示した平面図である。図 6 に示す様に、P-CVD 絶縁膜 1 5 が高い圧縮応力 1 8 を有すると、下地となる配線層 1 4 には引っ張り応力 1 9 が生じる。これにより配線層 1 4 内の空孔濃度が増加し、配線層 1 4 の結晶粒界が拡散されて、力学的ポテンシャルの低い部分に空孔が集中するため、図 7 (a) に示す様なストレスマイグレーション 2 0 や図 7 (b) に示す様な欠損 2 1 が発生する。このような配線層 1 4 のストレスマイグレーション 2 0 や欠損 2 1 は、半導体装置の高密度集積化による微細化、高機能化に伴って配線層 1 4 の形状や構造が複雑化するほど顕著に現れるものであり、半導体装置の信頼性を大きく低下させる問題点となっていた。

【0011】この発明は、上記のような問題点を解消するためになされたもので、その目的とするところは、下地の配線層にストレスマイグレーションや欠損等の不良が発生しない様な保護絶縁膜の形成方法を提供し、半導体装置の信頼性を向上させることである。

【0012】

【課題を解決するための手段】この発明に係る請求項 1 記載の半導体装置の製造方法は、半導体基板上に配線層を形成する工程と、次いで上記配線層上の全面に、外部からの水分や不純物の浸入を防ぐために、CVD 法によって圧縮応力を有する第 1 の保護絶縁膜を形成する工程と、次いで上記第 1 の保護絶縁膜上の全面に、外部からの応力の影響や α 線の浸入を防ぐために、塗布形成法によって引っ張り応力を有する樹脂系の第 2 の保護絶縁膜を、上記第 1 の保護絶縁膜の応力により生じる上記半導体基板のそり量を解消するように、その膜厚を設定して形成する工程とを含むものである。

【0013】この発明に係る請求項 2 記載の半導体装置の製造方法は、配線層上の全面に第 1 の保護絶縁膜を形成する工程が、上記配線層上にプラズマ CVD 法によって圧縮応力を有する第 1 の絶縁膜を形成し、次いでその上の全面に、熱 CVD 法によって引っ張り応力を有する第 2 の絶縁膜を形成し、さらにその上の全面に、プラズマ CVD 法によって圧縮応力を有する第 3 の絶縁膜を形成することによって構成され、しかも上記第 1 の絶縁膜の膜厚を、上記第 2 および第 3 の絶縁膜の膜厚に比べて薄くしたものである。

【0014】

【作用】この発明における半導体装置の製造方法では、第1の保護絶縁膜の応力が基板に生じさせるそり量を解消させるように、第2の保護絶縁膜の膜厚を設定して形成する。すなわち第1の保護絶縁膜の圧縮応力による歪みが、第2の保護絶縁膜の引っ張り応力による反対方向の歪みによって解消される。このように2つの保護絶縁膜を、その圧縮応力と引っ張り応力が互いに相殺し合うように形成したために下地配線層へ与える応力およびそれによる配線不良を減少させる。

【0015】また、CVD法による第1の保護絶縁膜をプラズマCVD法による薄い第1の絶縁膜、熱CVD法による第2の絶縁膜、およびプラズマCVD法による第3の絶縁膜を順次形成することによって構成する。ここで、プラズマCVD法による絶縁膜は圧縮応力、塗布形成法による絶縁膜は引っ張り応力を持つことは前述したが、熱CVD法による絶縁膜も、基板との熱膨張係数の差により引っ張り応力を有する。このため、第1、第2および第3の絶縁膜の形成は圧縮圧力、引っ張り応力および圧縮応力と相反する応力を持つ膜を交互に形成することになり互いに応力を相殺し合う。また配線層上に第1の絶縁膜を形成する段階においては相殺する応力はないが、第1の絶縁膜の膜厚を第2、第3の絶縁膜に比べて薄く形成することにより第1の絶縁膜のみの成膜時も下地配線層への影響を低減でき、各膜の成膜時および形成完了後も下地配線層へ与える応力が低減できる。

【0016】

【実施例】

実施例1. 以下、この発明に係る半導体装置の一実施例を、図について説明する。なお、従来の技術と重複する箇所は適宜省略する。図1はこの発明による一実施例を適用した半導体装置の構造を示す断面図であり、図2は製造方法の主要部を示す断面図である。図において、6～14は従来のものと同じもの、22aは配線層14の形成された基板6上の全面にプラズマCVD法により形成された第1の絶縁膜、22bは第1の絶縁膜22a上の全面に熱CVD法により形成された第2の絶縁膜、22cは第2の絶縁膜22b上の全面にプラズマCVD法により形成された第3の絶縁膜、22は、22a～22cにより構成される第1の保護絶縁膜、23は第1の保護絶縁膜22上の全面に塗布形成法により形成された樹脂系の第2の保護絶縁膜である。

【0017】次に、製造方法を説明する。まず、従来のものと同様に基板6に所定の処理を施して配線層14の形成までを行う(図5(a)～図5(d)、図2(a)参照)。次に、基板6上の全面にシリコン酸化膜から成る第1の絶縁膜22aを処理温度300～450℃で、反応ガスとしてシランおよび亜酸化窒素の混合ガスを用いたプラズマCVD法により0.2±0.1μmの膜厚で形成する。このとき第1の絶縁膜22aは約(1～2)×10⁹dyne/cm²の圧縮応力を有しているた

め、基板6に与えるそり量は約+4.8～+9.6μm凸となる(図2(b))。次に、第1の絶縁膜22a上の全面にシリコン酸化膜から成る第2の絶縁膜22bを、処理温度300～450℃で、反応ガスとしてテトラエトキシシラン(TEOS)およびオゾン(O₃)の混合ガスを用いた熱CVD法により0.7±0.1μmの膜厚で形成する。この第2の絶縁膜22bは約(1～2)×10⁹dyne/cm²の引っ張り応力を有し、基板6に与えるそり量は約-16.7～-33.4μm凹となり第1の絶縁膜22aと合わせたそり量は約-7.1～-28.6μm凹となる(図2(c))。

【0018】次に、第2の絶縁膜22b上の全面にシリコン窒化膜から成る第3の絶縁膜22cを、処理温度300～450℃で、反応ガスとしてシランおよびアンモニアの混合ガス、あるいはシラン、アンモニアおよび窒素の混合ガスを用いたプラズマCVD法により0.7±0.1μmの膜厚で形成する。この第3の絶縁膜22cは約(4～5)×10⁹dyne/cm²の圧縮応力を有し、基板6に与えるそり量は約+66.8～+83.5μm凸となり、第1、第2および第3の絶縁膜22a～22cを合わせたそり量は約+38.2～+76.4μm凸となる(図2(d))。次に、第3の絶縁膜22c上の全面にポリイミド系樹脂からなる第2の保護絶縁膜23を、塗布形成法により7.5±0.1μmの膜厚で形成する。この膜厚は、第1～第3の絶縁膜21a～21cによるそり量を解消する様に設定するものであり、ポリイミド系樹脂に有機溶剤を加えたポリイミド系樹脂塗布液を用い、第3の絶縁膜22c上に回転塗布を行い、その後150～450℃程度の温度で焼成して塗布液中の溶剤を揮発して硬化させて形成する。第2の保護絶縁膜23は約(3～4)×10⁹dyne/cm²の引っ張り応力を有し、基板6に与えるそり量は約-53.6～-71.6μm凹となり、第1～第3の絶縁膜21a～21cから成る第1の保護絶縁膜22と第2の保護絶縁膜23を合わせたそり量は-33.4凹～+22.7凸μmで、ほぼ解消される(図2(e))。その後従来のものと同様の処理を施して半導体装置を完成する。

【0019】上記のように、従来P-CVD絶縁膜15のみで構成されていた第1の保護絶縁膜22を第1、第2および第3の絶縁膜22a～22cの三層で構成し、圧縮応力を持つ膜と引っ張り応力を持つ膜を交互に形成して互いに応力を相殺し合うようにした。しかも第1の絶縁膜22aは第2、第3の絶縁膜に比べて薄く形成するため、相殺し合う応力はないが、第1の絶縁膜22aの成膜時も圧縮応力の影響は少なく、各膜の成膜時および膜形成完了後も応力の影響を低減できる。また第1、第2および第3の絶縁膜22a～22cを合わせた第1の保護絶縁膜22の圧縮応力が、従来のP-CVD絶縁膜15に比べ低減できる。このためその上に形成する第2の保護絶縁膜23の膜厚をむやみに厚くすることなく

適正に設定すれば、第2の保護絶縁膜23の持つ引っ張り応力で基板に対するそり量を解消することが可能となる。このため第2の保護絶縁膜23形成完了後の残留応力も格段と低減でき、下地配線層14におけるストレスマイグレーション20や欠損21等の不良を防止できる。また、プラズマCVD法による第1および第3の絶縁膜22a、22cは耐湿性、機械的強度に優れ、この2つの絶縁膜22a、22cによって外部からの水分や不純物の侵入を防ぐという第1の保護絶縁膜22の機能を十分に満足しているため、熱CVD法による第2の絶縁膜22bを上記2つの膜22a、22cの間に形成しても、支障なく応力の問題を解決できる。

【0020】実施例2. なお、第1の絶縁膜22aとして、シリコン酸化膜を処理温度300～450℃で、反応ガスとしてテトラエトキシシランと酸素との混合ガスによるプラズマCVD法で形成しても良く、また、シリコン窒化膜を処理温度300～450℃で、反応ガスとしてシランとアンモニア、あるいはシラン、アンモニアおよび窒素からなる混合ガスによるプラズマCVD法で形成しても良い。

【0021】実施例3. また、第2の絶縁膜22bとして、シリコン酸化膜を反応ガスとしてホスフィン(PH₃)、シランおよび酸素あるいはジボラン(B₂H₆)、ホスフィン、シランおよび酸素の混合ガスによる熱CVD法により形成しても良い。

【0022】実施例4. また、第3の絶縁膜22cとして、シリコン酸化膜を処理温度300～450℃で、反応ガスとしてシランと亜酸化窒素、あるいはテトラエトキシシランと酸素の混合ガスによるプラズマCVD法により形成しても良い。

【0023】実施例5. また、第2の保護絶縁膜23として、シリコンラダー系樹脂塗布液を用いて回転塗布し、その後150～500℃程度の温度で焼成して形成するシリコンラダー系樹脂を用いても良い。

【0024】実施例6. また、配線層14の材料としてアルミニウムの他に、アルミニウムと銅(Cu)の合金、アルミニウムと銅とシリコンの合金、あるいはタングステン(W)、チタン(Ti)、モリブタン(Mo)等の高融点金属やこれらのシリサイド金属(WSi₂、

TiSi₂、MoSi₂)あるいは多結晶シリコンでも良い。

【0025】

【発明の効果】以上詳述したように、この発明によれば、配線層上に形成する第1の保護絶縁膜上に第2の保護絶縁膜を、第1の保護絶縁膜の持つ圧縮応力により生じる半導体基板のそり量を解消する様に、その膜厚を設定して形成する。このため2つの保護絶縁膜の圧縮応力と引っ張り応力は互いに相殺されて残留応力は格段と低減でき下地配線層への悪影響を防止する。また、第1の保護絶縁膜を第1、第2および第3の絶縁膜で互いに応力を相殺し合うように、かつ第1の絶縁膜の膜厚を第2および第3の絶縁膜の膜厚より薄く形成したため、各膜の成膜時および膜形成後も応力を低減することができ、下地配線層のストレスマイグレーションや欠損等の不良を防止でき、半導体装置の信頼性が向上する。

【図面の簡単な説明】

【図1】この発明の一実施例を適用した半導体装置の構造を示す断面図である。

20 【図2】この発明の一実施例による半導体装置の製造方法を示す断面図である。

【図3】樹脂封止型半導体装置の構造を示す断面図である。

【図4】従来の半導体装置の構造を示す断面図である。

【図5】従来の半導体装置の製造方法を示す断面図である。

【図6】従来の半導体装置における応力を説明する断面図である。

【図7】従来の半導体装置における配線層の不良を説明する平面図である。

【符号の説明】

6 半導体基板

14 配線層

22 第1の保護絶縁膜

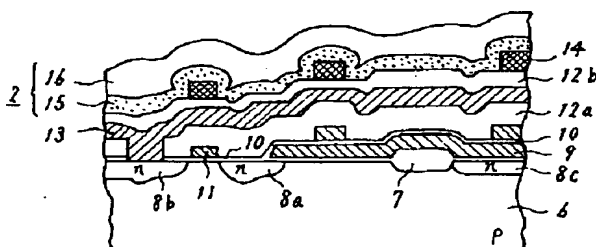
22a 第1の絶縁膜

22b 第2の絶縁膜

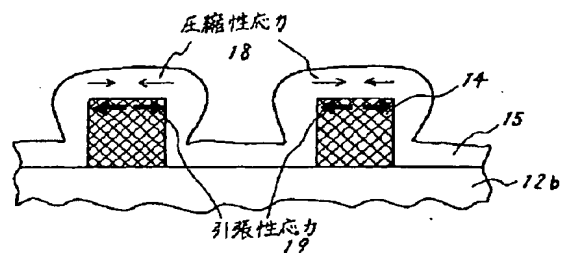
22c 第3の絶縁膜

23 第2の保護絶縁膜

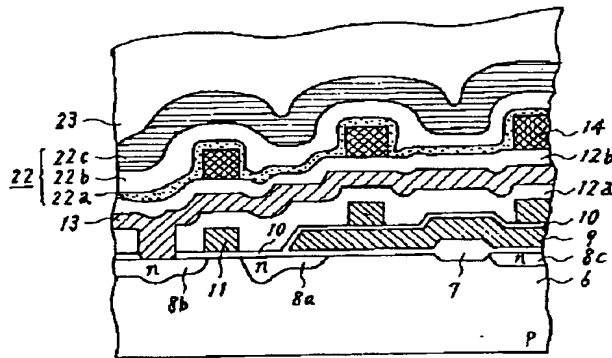
【図4】



【図6】

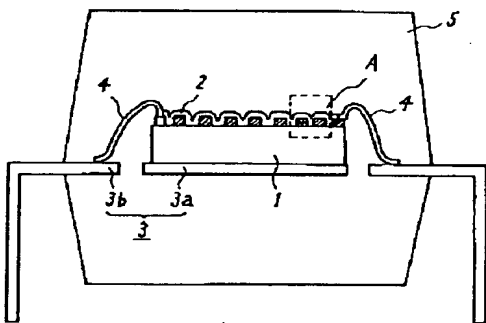


【図 1】

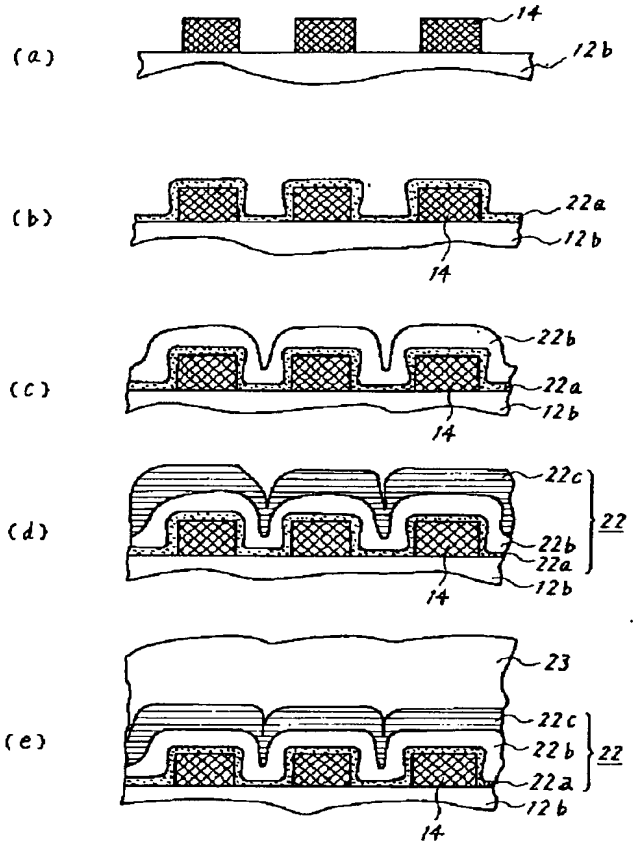


6: 半導体基板
 14: 配線層
 22: 第1の保護絶縁膜
 22a: 第1の絶縁膜
 22b: 第2の絶縁膜
 22c: 第3の絶縁膜
 23: 第2の保護絶縁膜

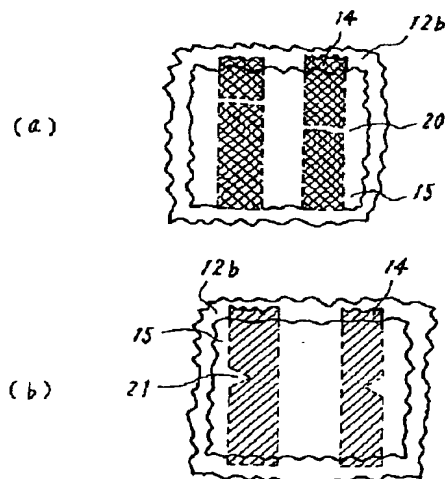
【図 3】



【図 2】



【図 7】



【図 5】

